



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0048081  
Application Number

출 원 년 월 일 : 2003년 07월 14일  
Date of Application JUL 14, 2003

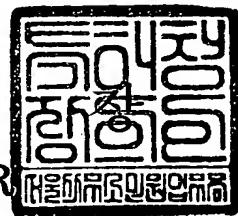
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.14
【발명의 명칭】	비휘발성 반도체 메모리 장치 및 이 장치의 원 타임 프로그래밍 제어 방법
【발명의 영문명칭】	Nonvolatile semiconductor memory device and one time programming control method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	전병길
【성명의 영문표기】	JEON, BYUNG GIL
【주민등록번호】	661027-1775414
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1306 현대아파트 312동 705호
【국적】	KR
【발명자】	
【성명의 국문표기】	민병준
【성명의 영문표기】	MIN, BYUNG JUN
【주민등록번호】	740920-1903716
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산7-1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박상수 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	12	면	12,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	18	항	685,000	원
【합계】	726,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

## 【요약서】

### 【요약】

본 발명은 비휘발성 반도체 메모리 장치 및 이 장치의 원 타임 프로그래밍 제어방법을 공개한다. 이 장치는 제1디코딩 신호에 응답하여 억세스되는 원 타임 프로그래밍 영역과 제2디코딩 신호에 응답하여 억세스되는 정상 영역을 구비하고, 소거 동작이 필요없으며 리드 동작과 라이트 동작이 가능한 비휘발성 메모리 셀 어레이, 라이트 동작시에 라이트 인에이블 신호에 응답하여 비휘발성 메모리 셀 어레이에 데이터를 라이트하는 데이터 라이트 회로, 리드 동작시에 센스 증폭기 인에이블 신호에 응답하여 비휘발성 메모리 셀 어레이로부터 출력되는 데이터를 리드하는 데이터 리드 회로, 제어신호에 응답하여 데이터 리드 회로로부터 출력되는 데이터를 비교하여 비교 검출신호를 발생하는 프로그램 검출 회로, 및 라이트 동작시에 특정 모드 신호가 활성화되면 제어신호를 비활성화하고, 특정 모드 신호가 비활성화되고, 제1디코딩 신호가 발생되면 제어신호 및 센스 증폭기 인에이블 신호를 활성화하고, 비교 검출신호가 활성화되면 라이트 인에이블 신호를 활성화하는 제어부로 구성되어 있다. 따라서, 소거 동작이 필요없는 비휘발성 메모리 셀 어레이의 원 타임 프로그래밍 영역에 저장된 고유의 데이터를 안전하게 보호할 수 있다.

### 【대표도】

도 3

## 【명세서】

### 【발명의 명칭】

비휘발성 반도체 메모리 장치 및 이 장치의 원 타임 프로그래밍 제어방법{Nonvolatile semiconductor memory device and one time programming control method thereof}

### 【도면의 간단한 설명】

도1은 본 발명의 비휘발성 반도체 메모리 장치의 일실시예의 구성을 나타내는 블록도이다.

도2는 도1에 나타낸 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 영역에 임의의 데이터를 라이트하는 방법을 설명하기 위한 동작 흐름도이다.

도3은 도1에 나타낸 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법을 설명하기 위한 동작 흐름도이다.

도4는 본 발명의 비휘발성 반도체 메모리 장치의 다른 실시예의 구성을 나타내는 블록도이다.

도5는 도4에 나타낸 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 영역에 임의의 데이터를 라이트하는 방법을 설명하기 위한 동작 흐름도이다.

도6은 도4에 나타낸 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법을 설명하기 위한 동작 흐름도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 비휘발성 반도체 메모리 장치에 관한 것으로, 특히 소거 동작을 수행할 필요가 없는 비휘발성 반도체 메모리 장치 및 이 장치의 원 타임 프로그래밍 제어방법에 관한 것이다.

<8> 일반적으로, 이이피롬(EEPROM; Electrically Erasable Programmable Read Only Memory) 및 플래쉬(flash) 메모리 등과 같은 비휘발성 반도체 메모리 장치는 라이트, 소거, 및 리드 동작으로 이루어져, 비휘발성 메모리 셀에 프로그램을 한 후, 프로그램된 메모리 셀에 새로운 데이터를 라이트하기 위해서는 소거 동작을 반드시 수행하여야 한다.

<9> 경우에 따라, 비휘발성 반도체 메모리 장치를 이용하여 시스템을 설계하는 시스템 설계자는 메모리 설계자에게 비휘발성 반도체 메모리 장치에 고유의 정보를 1번 기록한 후 절대 변경할 수 없는 영역인 원 타임 프로그래밍 영역을 설정하여 설계할 것을 요구한다. 그러면, 메모리 설계자는 비휘발성 반도체 메모리 장치의 비휘발성 메모리 셀 어레이를 원 타임 프로그래밍 영역과 정상 영역으로 나누어 설계하고, 원 타임 프로그래밍 영역에 고유의 데이터가 1번 기록된 후에 이 영역에 기록된 데이터에 대한 소거 동작을 수행하지 못하게 하는 방법으로 원 타임 프로그래밍 영역에 기록된 데이터를 보호한다.

<10> 그런데, 새로운 비휘발성 반도체 메모리 장치인 FRAM(Ferro-Electric RAM), PRAM(Phase-Change RAM), 및 MRAM(Magnetic RAM) 등은 소거 동작이 필요없기 때문에 원 타임 프로그래밍 영역에 기록된 데이터를 유지하기 위한 새로운 방법이 필요하게 되었다.

**【발명이 이루고자 하는 기술적 과제】**

<11> 본 발명의 목적은 소거 동작을 수행할 필요가 없는 원 타임 프로그래밍 영역에 기록된 데이터를 유지하기 위한 비휘발성 반도체 메모리 장치를 제공하는데 있다.

<12> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법을 제공하는데 있다.

<13> 상기 목적을 달성하기 위한 본 발명의 비휘발성 반도체 메모리 장치의 제1형태는 제1디코딩 신호에 응답하여 억세스되는 원 타임 프로그래밍 영역과 제2디코딩 신호에 응답하여 억세스되는 정상 영역을 구비하고, 소거 동작이 필요없으며 리드 동작과 라이트 동작이 가능한 비휘발성 메모리 셀 어레이, 라이트 동작시에 라이트 인에이블 신호에 응답하여 상기 비휘발성 메모리 셀 어레이에 데이터를 라이트하는 데이터 라이트 회로, 리드 동작시에 센스 증폭기 인에이블 신호에 응답하여 상기 비휘발성 메모리 셀 어레이로부터 출력되는 데이터를 리드하는 데이터 리드 회로, 및 라이트 동작시에 상기 제1디코딩 신호가 발생되면 상기 센스 증폭기 인에이블 신호를 활성화하고, 상기 데이터 리드 회로로부터 출력되는 데이터를 비교하여 상기 라이트 인에이블 신호를 발생하는 제어 수단을 구비하는 것을 특징으로 한다.

<14> 상기 제어 수단은 제어신호에 응답하여 상기 데이터 리드 회로로부터 출력되는 데이터를 비교하여 비교 검출신호를 발생하는 프로그램 검출 회로, 및 라이트 동작시에 특정 모드 신호가 활성화되면 상기 제어신호를 비활성화하고, 상기 특정 모드 신호가 비활성화되고, 상기 제1디코딩 신호가 발생되면 상기 제어신호 및 상기 센스 증폭기 인에이블 신호를 활성화하고, 상기 비교 검출신호가 활성화되면 상기 라이트 인에이블 신호를 활성화하는 제어부를 구비하는 것을 특징으로 한다.

<15> 상기 목적을 달성하기 위한 본 발명의 비휘발성 반도체 메모리 장치의 제2형태는 제1디코딩 신호에 응답하여 억세스되는 원 타임 프로그래밍 영역 및 패리티 비트 영역과 제2디코딩 신호에 응답하여 억세스되는 정상 영역을 구비하고, 소거 동작이 필요없으며 리드 동작과 라이트 동작이 가능한 비휘발성 메모리 셀 어레이, 라이트 동작시에 라이트 인에이블 신호에 응답하여 상기 비휘발성 메모리 셀 어레이에 데이터를 라이트하는 데이터 라이트 회로, 리드 동작시에 센스 증폭기 인에이블 신호에 응답하여 상기 비휘발성 메모리 셀 어레이로부터 출력되는 데이터를 리드하는 데이터 리드 회로, 및 라이트 동작시에 상기 제1디코딩 신호가 발생되면 상기 센스 증폭기 인에이블 신호를 활성화하고, 상기 데이터 리드 회로로부터 출력되는 패리티 비트 영역의 데이터를 비교하여 제1비교 검출신호를 발생하고, 상기 제1비교 검출신호에 응답하여 상기 데이터 리드 회로로부터 출력되는 원 타임 프로그래밍 영역의 데이터를 비교하여 제2비교 검출신호를 발생하고, 상기 제1 및 제2비교 검출신호에 응답하여 상기 라이트 인에이블 신호를 발생하는 제어 수단을 구비하는 것을 특징으로 한다.

<16> 상기 비휘발성 메모리 셀 어레이는 상기 원 타임 프로그래밍 영역의 데이터가 리드될 때 상기 패리티 비트 영역의 데이터가 항상 동시에 출력되는 것을 특징으로 하고, 상기 제어 수단은 제1제어신호에 응답하여 인에이블되어 상기 데이터 리드 회로로부터 출력되는 패리티 비트 영역의 데이터를 비교하여 제1비교 검출신호를 발생하는 제1프로그램 검출 회로, 제2제어신호에 응답하여 인에이블되어 상기 데이터 리드 회로로부터 출력되는 데이터를 비교하여 제2비교 검출신호를 발생하는 제2프로그램 검출 회로, 및 라이트 동작시에 특정 모드 신호가 활성화되면 상기 제1 및 제2제어신호들을 비활성화하고, 상기 특정 모드 신호가 비활성화되고, 상기 제1디코딩 신호가 발생되면 상기 제1, 제2제어신호들, 및 상기 센스 증폭기 인에이블 신호를

활성화하고, 상기 제1 및 제2비교 검출신호들이 활성화되면 상기 라이트 인에이블 신호를 활성화하는 제어부를 구비하는 것을 특징으로 한다.

<17> 상기 다른 목적을 달성하기 위한 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법의 제1형태는 원 타임 프로그래밍 영역과 정상 영역으로 나뉘어지고, 소거 동작이 필요없으며 리드 동작과 라이트 동작이 가능한 비휘발성 메모리 셀 어레이를 구비하는 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법에 있어서, 라이트 동작시에 원 타임 프로그래밍 영역이 억세스되는지를 판단하는 단계, 만일 상기 원 타임 프로그래밍 영역이 억세스되었으면 상기 원 타임 프로그래밍 영역으로부터 리드되는 데이터를 비교하여 비교 검출 신호를 발생하는 단계, 상기 비교 검출신호가 활성화되지 않았으면 라이트 동작을 중단하는 단계, 및 만일 상기 원 타임 프로그래밍 영역이 억세스되지 않았거나, 상기 비교 검출신호가 활성화되었으면 상기 원 타임 프로그래밍 영역에 데이터를 라이트하는 단계를 구비하는 것을 특징으로 한다.

<18> 상기 다른 목적을 달성하기 위한 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법의 제2형태는 원 타임 프로그래밍 영역 및 패리티 비트 영역과 정상 영역으로 나뉘어지고, 소거 동작이 필요없으며 리드 동작과 라이트 동작이 가능한 비휘발성 메모리 셀 어레이를 구비하는 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법에 있어서, 라이트 동작시에 원 타임 프로그래밍 영역 및 패리티 비트 영역이 억세스되었으면 상기 패리티 비트 영역으로부터 리드되는 데이터를 비교하여 제1비교 검출신호를 발생하고, 상기 제1비교 검출신호가 발생되면 상기 원 타임 프로그래밍 영역으로부터 리드되는 데이터를 비교하여 제2비교 검출신호를 발생하는 단계, 상기 제1 또는 제2비교 검출신호가 활성화되지 않았으면 라이트 동작을 중단하는

단계, 및 만일 상기 원 타임 프로그래밍 영역 및 패리티 비트 영역이 억세스되지 않았거나, 상기 제2비교 검출신호가 활성화되었으면 상기 원 타임 프로그래밍 영역에 데이터를 라이트하는 단계를 구비하는 것을 특징으로 한다.

### 【발명의 구성 및 작용】

<19> 이하, 첨부한 도면을 참고로 하면 본 발명의 반도체 메모리 장치 및 이 장치의 원 타임 프로그래밍 제어방법을 설명하면 다음과 같다.

<20> 도1은 본 발명의 비휘발성 반도체 메모리 장치의 일실시예의 구성을 나타내는 블록도로서, 원 타임 프로그래밍 영역과 정상 영역으로 나뉘어진 비휘발성 메모리 셀 어레이(10), 컬럼 디코더(12), 로우 디코더(14), 센스 증폭기(16), 라이트 드라이버(18), 데이터 출력 버퍼(20), 데이터 입력 버퍼(22), 프로그램 검출회로(24), 및 제어부(26)로 구성되어 있다.

<21> 도1에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<22> 비휘발성 메모리 셀 어레이(10)는 워드 라인 선택신호(WL1)에 의해서 억세스되는 한번만 데이터를 라이트하는 것이 가능한 OPT 영역과 워드 라인 선택신호들(WL2 ~ WL<sub>n</sub>)에 의해서 억세스되는 반복적으로 라이트 및 리드가 가능한 정상 영역으로 이루어져 있다. 컬럼 디코더(12)는 컬럼 어드레스(Y)를 디코딩하여 컬럼 선택신호들(Y<sub>1</sub> ~ Y<sub>m</sub>)을 발생하고, 로우 디코더(14)는 로우 어드레스(X)를 디코딩하여 워드 라인 선택신호들(WL1 ~ WL<sub>n</sub>)을 발생한다. 센스 증폭기(16)는 센스 증폭기 인에이블 신호(MSAEN)에 응답하여 비휘발성 메모리 셀 어레이(10)로부터 출력되는 신호(do)를 증폭하여 증폭된 데이터(ddo)를 발생한다. 라이트 드라이버(18)는 라이트 인에이블 신호(WDEN)에 응답하여 버퍼된 데이터(ddi)를 비휘발성 메모리 셀 어레이(10)로 라이트 한다. 데이터 출력 버퍼(20)는 데이터 출력 인에이블 신호(DOEN)에 응답하여 증폭된 데이터

(ddo)를 버퍼하여 출력 데이터(DO)를 발생한다. 데이터 입력 버퍼(22)는 데이터 입력 인에이블 신호(DIEN)에 응답하여 입력 데이터(DI)를 버퍼하여 버퍼된 데이터(ddi)를 발생한다. 프로그램 검출회로(24)는 신호(DIS)에 응답하여 인에이블되어 증폭된 데이터(ddo)를 비교하여 비교 검출 신호(DET)를 발생한다. 제어부(26)는 "로우"레벨의 반전 칩 인에이블 신호(CEB)가 인가되면 인에이블되고, "하이"레벨의 반전 라이트 인에이블 신호(WEB)가 인가되면 리드 동작을 위하여 센스 증폭기 인에이블 신호(MSAEN)를 활성화하고, "로우"레벨의 반전 출력 인에이블 신호(OEB)가 인가되면 데이터 출력 인에이블 신호(DOEN)를 활성화한다. 그리고, "로우"레벨의 반전 라이트 인에이블 신호(WEB), "로우"레벨의 특정 모드 신호(TM)가 인가되면 신호(DIS)를 비활성화하고, "로우"레벨의 반전 라이트 인에이블 신호(WEB), "하이"레벨의 특정 모드 신호(TM), 및 워드 라인 선택신호(WL1)가 인가되면 데이터 입력 인에이블 신호(DIEN) 및 센스 증폭기 인에이블 신호(MSAEN)를 활성화하고, 비교 검출신호(DET)에 응답하여 라이트 인에이블 신호(WDEN)를 활성화한다.

<23>        도1에 나타낸 본 발명의 반도체 메모리 장치는 프로그램 검출회로(24)를 구비하여, 라이트 동작시에 비휘발성 메모리 셀 어레이(10)의 OTP 영역에 프로그램이 되어 있는지를 검출한 후 데이터가 기록되어 있지 않으면 시스템 설계자가 고유의 데이터를 라이트하고, 데이터가 기록되어 있으면 데이터를 라이트할 수 없도록 한다.

<24>        도2는 도1에 나타낸 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 영역에 임의의 데이터를 라이트하는 방법을 설명하기 위한 동작 흐름도로서, 반도체 제조자가 원 타임 프로그래밍 영역에 임의의 데이터를 라이트하는 방법을 설명하기 위한 동작 흐름도이다.

<25> 먼저, 반도체 제조자가 비휘발성 반도체 메모리 장치로 "로우"레벨의 반전 칩 인에이블 신호(CEB)를 인가한다(제100단계). 그러면, 비휘발성 반도체 메모리 장치의 동작이 인에이블된다.

<26> 다음, 반도체 제조자가 비휘발성 반도체 메모리 장치로 "로우"레벨의 반전 라이트 인에이블 신호(WEB)를 인가한다(제110단계). "로우"레벨의 반전 라이트 인에이블 신호(WEB)가 인가되면 제어부(26)는 데이터 입력 인에이블 신호(DIEN)를 활성화한다.

<27> 만일 제110단계의 판단 결과, 반전 라이트 인에이블 신호(WEB)가 "로우"레벨이 아니면 리드 동작을 수행한다(제120단계). 즉, "하이"레벨의 반전 라이트 인에이블 신호(WEB)가 인가되면 제어부(26)는 센스 증폭기 인에이블 신호(MSAEN) 및 데이터 출력 인에이블 신호(DOEN)를 활성화한다.

<28> 만일 제110단계의 판단 결과, "로우"레벨의 반전 라이트 인에이블 신호(WEB)가 인가되면 특정 모드 신호(TM)가 "로우"레벨인지를 판단한다(제130단계).

<29> 만일 제130단계의 판단 결과, 특정 모드 신호(TM)가 "하이"레벨이면 라이트 동작을 수행한다(제140단계).

<30> 만일 제130단계의 판단 결과, 특정 모드 신호(TM)가 "로우"레벨이면 비휘발성 메모리 셀 어레이(10)의 OTP 영역에 임의의 데이터 "0"(또는 "1")를 라이트한다(제150단계).

<31> 제150단계에서, 제어부(26)는 "로우"레벨의 특정 모드 신호(TM)에 응답하여 신호(DIS)를 비활성화한다. 로우 디코더(14)는 로우 어드레스(X)를 디코딩하여 워드 라인 선택신호(WL1)를 활성화하고, 컬럼 디코더(12)는 컬럼 어드레스(Y)를 디코딩하여 컬럼 선택신호들(Y1 ~ Ym)중의 하나의 컬럼 선택신호를 발생하여 OTP 영역을 억세스한다. 그리고, 데이터 입력 버퍼(22)는 외

부로부터 입력되는 임의의 데이터 "0"(또는 "1")를 버퍼하여 출력하고, 라이트 드라이버(18)는 버퍼된 데이터를 비휘발성 메모리 셀 어레이(10)로 인가한다. 이에 따라, 비휘발성 메모리 셀 어레이(10)의 OTP 영역에 임의의 데이터 "0"(또는 "1")가 라이트된다. 이와같은 동작을 컬럼 어드레스(Y)를 변경하면서 반복적으로 수행하여 비휘발성 메모리 셀 어레이(10)의 OTP 영역에 임의의 데이터 "0"(또는 "1")을 모두 라이트하게 된다.

<32> 상술한 바와 같은 동작을 수행하여 비휘발성 메모리 셀 어레이(10)의 OTP 영역에 임의의 데이터 "0"(또는 "1")이 라이트되고 난 후에는 특정 모드 신호(TM)가 전원 전압 인가 패드(미도시)에 연결되어 전원전압이 인가되면 항상 인에이블되도록 한다.

<33> 도3은 도1에 나타낸 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어 방법을 설명하기 위한 동작 흐름도로서, 도2의 제140단계의 동작을 설명하기 위한 것이다.

<34> 시스템 설계자가 X, Y 어드레스 및 데이터를 입력한다(제300단계). 그러면, 로우 디코더(14)가 로우 어드레스(X)를 디코딩하여 워드 라인 선택신호들(WL1 ~ WL<sub>n</sub>)중의 하나의 워드 라인을 선택하고, 컬럼 디코더(12)가 컬럼 어드레스(Y)를 디코딩하여 컬럼 선택신호들(Y1 ~ Y<sub>m</sub>)중의 하나의 컬럼 선택신호를 선택한다.

<35> 그리고, 제어부(26)는 워드 라인 선택신호(WL1)가 활성화되었는지를 판단한다(제310단계).

<36> 만일 워드 라인 선택신호(WL1)가 활성화되지 않았으면, 제어부(26)가 센스 증폭기 인에이블 신호(MSAEN)를 비활성화하고, 워드 라인 선택신호(WL1)에 응답하여 제어부(26)가 신호(DIS)를 비활성화한다(제320단계).

<37> 만일 워드 라인 선택신호(WL1)가 활성화되었으면, 제어부(26)가 센스 증폭기 인에이블 신호(MSAEN)를 활성화하고, 워드 라인 선택신호(WL1)에 응답하여 신호(DIS)를 활성화한다(제330단계).

<38> 프로그램 검출회로(24)가 센스 증폭기(16)로부터 출력되는 데이터(ddo)를 비교하여 비교 검출신호(DET)를 발생한다(제340단계). 센스 증폭기(16)로부터 출력되는 데이터(ddo), 즉, OTP 영역으로부터 리드되는 데이터가 모두 "0"(또는 "1")인지를 비교하여, 모두 "0"(또는 "1")이면 비교 검출신호(DET)를 활성화하고, 그 이외의 경우에는 비교 검출신호(DET)를 비활성화한다.

<39> 제어부(26)가 비교 검출신호(DET)가 활성화되었는지를 판단한다(제350단계).

<40> 만일 비교 검출신호(DET)가 활성화되었으면 제어부(26)가 라이트 인에이블 신호(WDEN)를 활성화한다(제360단계). 제320단계를 수행하고 난 후에도 마찬가지로 제360단계의 동작을 수행 한다.

<41> 반면에, 만일 비교 검출신호(DET)가 비활성화되었으면 제어부(26)가 라이트 인에이블 신호(WDEN)를 비활성화한다(제370단계).

<42> 제360단계를 수행한 후, 라이트 드라이버(18)의 동작이 인에이블되어 데이터 입력 버퍼(22)로부터 출력되는 버퍼된 입력 데이터(ddi)를 비휘발성 메모리 셀 어레이(10)로 라이트한다(제380단계).

<43> 상술한 실시예에서는 제300단계에서, X, Y 어드레스 및 데이터가 동시에 인가되는 것을 나타내었지만, X, Y 어드레스 및 데이터가 반드시 동시에 인가될 필요는 없으며, 적절한 타이밍에 인가되면 된다.

<44> 상술한 실시예의 본 발명의 비휘발성 반도체 메모리 장치 및 이 장치의 원 타임 프로그래밍 제어회로는 라이트 동작시에 정상 영역이 선택되었으면 라이트 인에이블 신호(WDEN)를 활성화하여 비휘발성 메모리 셀 어레이의 정상 영역에 데이터를 라이트한다. 그러나, OTP 영역이 선택되었으면 OTP 영역에 고유의 데이터가 프로그램되어 있는지를 판단하기 위하여 센스 증폭기 인에이블 신호(MSAEN)를 활성화하고, 신호(DIS)를 활성화하여 프로그램 검출회로(24)의 동작을 인에이블한다. 만일 고유의 데이터가 프로그램되어 있으면 제어부(26)가 라이트 인에이블 신호(WDEN)를 비활성화하고, 고유의 데이터가 프로그램되어 있지 않으면 라이트 인에이블 신호(WDEN)를 활성화하고 고유의 데이터를 라이트한다.

<45> 도4는 본 발명의 비휘발성 반도체 메모리 장치의 다른 실시예의 구성을 나타내는 블록도로서, 비휘발성 메모리 셀 어레이(10'), 컬럼 디코더(12), 로우 디코더(14), 센스 증폭기(16), 라이트 드라이버(18), 데이터 출력버퍼(20), 데이터 입력 버퍼(22), 제1 및 제2프로그램 검출회로(24-1, 24-2), 및 제어부(26')로 구성되어 있다.

<46> 즉, 도4에 나타낸 비휘발성 반도체 메모리 장치는 도1의 프로그램 검출회로(24)가 제1 및 제2프로그램 검출회로들(24-1, 24-2)로 구성되고, 비휘발성 메모리 셀 어레이(10)의 OTP 영역이 OTP 영역과 패리티 비트 영역으로 구성되고, 제어부(26)가 제어부(26')로 대체되어 구성되어 있다.

<47> 도4에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<48> 도4에 나타낸 블록들중 도1에 나타낸 블록들과 동일한 블록들의 기능에 대해서는 설명을 생략하기로 하고, 여기에서는 추가되거나 변경되는 블록들의 기능에 대해서만 설명하기로 한다.

<49> 먼저, 비휘발성 메모리 셀 어레이( $10'$ )는 워드 라인 선택신호(WL1)에 의해서 억세스되는 OTP 영역과 패리티 비트 영역 및 워드 라인 선택신호들(WL2 ~ WL $n$ )에 의해서 억세스되는 정상 영역으로 구성되어 있다. OTP 영역은 시스템 설계자가 고유의 데이터를 1번 프로그램하는 것이 가능한 영역이고, 패리티 비트 영역은 메모리 설계자가 OTP 영역에 대한 임의의 데이터 "0"(또는 "1")의 저장이 완료되면 임의의 데이터 "0"(또는 "1")을 라이트하는 영역이다.

<50> 제1프로그램 검출회로(24-1)는 신호(DIS1)에 응답하여 동작이 인에이블되어 센스 증폭기(16)로부터 출력되는 패리티 비트 영역의 데이터가 "0"(또는 "1")인지를 검출하여 제1비교 검출신호(DET1)를 발생한다. 제2프로그램 검출회로(24-2)는 신호(DIS2)에 응답하여 동작이 인에이블되어 센스 증폭기(16)로부터 출력되는 데이터가 모두 "0"(또는 "1")인지를 검출하여 제2비교 검출신호(DET2)를 발생한다.

<51> 제어부( $26'$ )는 "로우"레벨의 반전 칩 인에이블 신호(CEB)가 인가되면 인에이블되고, "하이"레벨의 반전 라이트 인에이블 신호(WEB)가 인가되면 리드 동작을 위하여 센스 증폭기 인에이블 신호(MSAEN)를 활성화하고, "로우"레벨의 반전 출력 인에이블 신호(OEB)가 인가되면 데이터 출력 인에이블 신호(DOEN)를 활성화한다. 그리고, "로우"레벨의 반전 라이트 인에이블 신호(WEB), "로우"레벨의 특정 모드 신호(TM)가 인가되면 신호들(DIS1, DIS2)를 비활성화하고, "로우"레벨의 반전 라이트 인에이블 신호(WEB), "하이"레벨의 특정 모드 신호(TM), 및 워드 라인 선택신호(WL1)가 인가되면 데이터 입력 인에이블 신호(DIEN), 센스 증폭기 인에이블 신호(MSAEN), 및 신호(DIS1)를 활성화하고, 신호(DET1)가 활성화되면 신호(DIS2)를 활성화한다.

<52> 즉, 본 발명의 비휘발성 반도체 메모리 장치는 1차적으로 패리티 비트 영역의 데이터를 이용하여 OTP 영역에 프로그램이 되어 있는지를 판단하여 제1비교 검출신호(DET1)를 발생하고, 2차적으로 OTP 영역의 데이터를 이용하여 OTP 영역에 프로그램이 되어 있는지를 판단하여 제2

비교 검출신호(DET2)를 발생한다. 그래서, 만일 OTP 영역에 시스템 설계자가 1번 프로그램한 것이 확인되면 라이트 인에이블 신호(WDEN)를 비활성화하여 OTP 영역에 데이터가 라이트되는 것을 방지하게 된다.

<53>        도5는 도4에 나타낸 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 영역에 임의의 데이터를 라이트하는 방법을 설명하기 위한 동작 흐름도로서, 반도체 제조자가 원 타임 프로그래밍 영역에 임의의 데이터를 라이트하는 방법을 설명하기 위한 동작 흐름도이다.

<54>        도5에 나타낸 동작 흐름도에서, 도2에 나타낸 동작 흐름도와 동일한 번호를 가진 단계는 도2와 동일한 동작을 수행하며, 단지 제150단계의 동작이 제200단계로 대체되어 동작이 수행된다.

<55>        제200단계에서, 비휘발성 메모리 셀 어레이(10')의 OTP 영역에 임의의 데이터 "0"(또는 "1")을 라이트하고, OTP 영역에 임의의 데이터를 라이트하는 동작이 완료되면 패리티 비트 영역에 데이터 "0"(또는 "1")을 라이트한다.

<56>        즉, 상술한 제150단계의 설명에서와 같은 방법으로 OTP 영역에 임의의 데이터 "0"(또는 "1")을 모두 라이트하고 난 후에, 패리티 비트 영역에 데이터 "0"(또는 "1")을 라이트한다.

<57>        도6은 도4에 나타낸 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어 방법을 설명하기 위한 동작 흐름도로서, 도5의 제140단계의 동작을 나타내는 것이다.

<58>        시스템 설계자가 X, Y 어드레스 및 데이터를 입력한다(제400단계). 그러면, 로우 디코더(14)가 로우 어드레스(X)를 디코딩하여 워드 라인 선택신호들(WL1 ~ WL<sub>n</sub>)중의 하나의 워드 라인을 선택하고, 컬럼 디코더(12)가 컬럼 어드레스(Y)를 디코딩하여 컬럼 선택신호들(Y1 ~ Y<sub>m</sub>)중의 하나의 컬럼 선택신호를 선택한다.

<59> 그리고, 제어부(26)는 워드 라인 선택신호(WL1)가 활성화되었는지를 판단한다(제410단계).

<60> 만일 워드 라인 선택신호(WL1)가 활성화되지 않았으면, 제어부(26')가 센스 증폭기 인에이블 신호(MSAEN)를 비활성화하고, 신호들(DIS1, DIS2)를 비활성화한다(제420단계).

<61> 만일 워드 라인 선택신호(WL1)가 활성화되었으면, 제어부(26')가 센스 증폭기 인에이블 신호(MSAEN)를 활성화하고, 신호(DIS1)를 활성화한다(제430단계).

<62> 제1프로그램 검출회로(24-1)가 센스 증폭기(16)로부터 출력되는 패리티 비트를 검출하여 제1비교 검출신호(DET1)를 발생한다(제440단계). 즉, 패리티 비트 영역으로부터 리드되는 데이터가 "0"(또는 "1")인지를 비교하여, "0"(또는 "1")이면 제1비교 검출신호(DET1)를 활성화하고, "1"이면 제1비교 검출신호(DET1)를 비활성화한다.

<63> 제어부(26')는 제1비교 검출신호(DET1)가 활성화되었는지를 판단한다(제450단계).

<64> 만일 제1비교 검출신호(DET1)가 활성화되지 않았으면 제어부(26')가 라이트 인에이블 신호(WDEN)를 비활성화한다(제460단계).

<65> 반면에, 만일 제1비교 검출신호(DET1)가 활성화되었으면 제어부(26')가 신호(DIS2)를 활성화한다(제470단계).

<66> 제2프로그램 검출회로(24-2)가 센스 증폭기로부터 출력되는 데이터를 비교하여 제2비교 검출신호(DET2)를 발생한다(제480단계). 즉, 제2프로그램 검출회로(24-2)가 신호(DIS2)에 응답하여 동작이 인에이블되어, OTP 영역으로부터 리드되는 데이터가 모두 "0"(또는 "1")인지를 비교하여, 모두 "0"(또는 "1")이면 제2비교 검출신호(DET2)를 활성화하고, 그 이외의 경우이면 제2비교 검출신호(DET2)를 비활성화한다.

<67> 제어부(26')가 제2비교 검출신호(DET2)가 활성화되었는지를 판단한다(제490단계).

<68> 만일 제2비교 검출신호(DET2)가 활성화되지 않았으면 제460단계로 진행하여 제어부(26')가 라이트 인에이블 신호(WDEN)를 비활성화한다.

<69> 반면에, 만일 제470단계의 판단 결과 제2비교 검출신호(DET2)가 활성화되었으면 제어부(26')가 라이트 인에이블 신호(WDEN)를 활성화한다(제500단계). 또한, 제420단계를 수행한 후에도 제500단계의 동작을 수행한다.

<70> 다음으로, 라이트 인에이블 신호(WDEN)에 응답하여 라이트 드라이버(18)의 동작이 인에이블되어 비휘발성 메모리 셀 어레이(10')로 데이터를 라이트한다(제510단계).

<71> 상술한 다른 실시예의 본 발명의 비휘발성 반도체 메모리 장치는 비휘발성 메모리 셀 어레이(10')의 OTP 영역이 선택되어 1비트 또는 소정 비트의 데이터가 리드되는 경우에 패리티 비트 영역의 패리티 비트 데이터가 동시에 선택되어 센스 증폭기(16)로 출력된다.

<72> 또한, OTP 영역에 원 타임 프로그래밍을 수행한 후에, OTP 영역이 선택되어 1비트 또는 소정 비트의 데이터가 리드되는 경우에, 메모리 설계자가 라이트한 임의의 1비트 또는 소정 비트의 데이터 "0"(또는 "1")을 그대로 저장하고 있을 수 있는데, 이 경우에, 도1에 나타낸 장치는 프로그램 검출회로가 비교 검출신호를 활성화하여 라이트 인에이블 신호(WDEN)를 인에이블함으로써 OTP 영역에 저장된 고유의 데이터가 보호되지 못하게 된다. 그러나, 도4에 나타낸 장치는 1비트 또는 소정 비트의 데이터 "0"(또는 "1")을 그대로 저장하고 있는 경우에, 제1비교 검출회로에 의해서 패리티 비트를 비교하여 제1비교 검출신호가 활성화된 후에, 제2비교 검출회로에 의해서 OTP 영역에 저장된 데이터를 비교하여 제2비교 검출신호가 활성화

되어야만 라이트 인에이블 신호(WDEN)를 인에이블함으로써 OTP 영역에 저장된 고유의 데이터가 안전하게 보호될 수 있다.

<73> 상술한 바와 같이 본 발명의 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법은 라이트 동작과 리드 동작이 가능하고, 소거 동작이 필요없는 비휘발성 메모리 셀 어레이를 구비한 모든 반도체 메모리 장치에 적용 가능하다.

<74> 상술한 실시예의 본 발명의 비휘발성 반도체 메모리 장치는 프로그램 검출회로를 제어부 외부에 별도로 구비하는 구성을 나타낸 것이나, 경우에 따라서는 프로그램 검출회로를 제어부 외부에 별도로 구비하지 않고 제어부 내부에 구비하도록 구성할 수도 있다.

<75> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

#### 【발명의 효과】

<76> 따라서, 본 발명의 비휘발성 반도체 메모리 장치 및 이 장치의 원 타임 프로그래밍 제어방법은 소거 동작이 필요없는 비휘발성 메모리 셀 어레이의 원 타임 프로그래밍 영역에 저장된 고유의 데이터를 안전하게 보호할 수 있다.

**【특허청구범위】****【청구항 1】**

제1디코딩 신호에 응답하여 억세스되는 원 타임 프로그래밍 영역과 제2디코딩 신호에 응답하여 억세스되는 정상 영역을 구비하고, 소거 동작이 필요없으며 리드 동작과 라이트 동작이 가능한 비휘발성 메모리 셀 어레이;

라이트 동작시에 라이트 인에이블 신호에 응답하여 상기 비휘발성 메모리 셀 어레이에 데이터를 라이트하는 데이터 라이트 회로;

리드 동작시에 센스 증폭기 인에이블 신호에 응답하여 상기 비휘발성 메모리 셀 어레이로부터 출력되는 데이터를 리드하는 데이터 리드 회로;

라이트 동작시에 상기 제1디코딩 신호가 발생되면 상기 센스 증폭기 인에이블 신호를 활성화하고, 상기 데이터 리드 회로로부터 출력되는 데이터를 비교하여 상기 라이트 인에이블 신호를 발생하는 제어 수단을 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 제어 수단은

제어신호에 응답하여 상기 데이터 리드 회로로부터 출력되는 데이터를 비교하여 비교 검출신호를 발생하는 프로그램 검출 회로; 및

라이트 동작시에 특정 모드 신호가 활성화되면 상기 제어신호를 비활성화하고, 상기 특정 모드 신호가 비활성화되고, 상기 제1디코딩 신호가 발생되면 상기 제어신호 및 상기 센스 증폭기 인에이블 신호를 활성화하고, 상기 비교 검출신호가 활성화되면 상기 라이트 인에이블 신호를 활성화하는 제어부를 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

**【청구항 3】**

제2항에 있어서, 상기 제어부는

리드 동작시에 상기 센스 증폭기 인에이블 신호를 활성화하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

**【청구항 4】**

제2항에 있어서, 상기 프로그램 검출 회로는

상기 제어신호가 활성화되면 인에이블되어 상기 데이터 리드 회로로부터 출력되는 데이터가 메모리 설계자에 의해서 저장된 임의의 데이터인지를 비교하여 동일하면 상기 비교 검출 신호를 활성화하고, 상기 제어신호가 비활성화되면 디스에이블되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

**【청구항 5】**

제1항에 있어서, 상기 원 타임 프로그래밍 영역은

메모리 설계자에 의해서 임의의 데이터 "0"(또는 "1")으로 모두 프로그램되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

**【청구항 6】**

제1디코딩 신호에 응답하여 억세스되는 원 타임 프로그래밍 영역 및 패리티 비트 영역과 제2디코딩 신호에 응답하여 억세스되는 정상 영역을 구비하고, 소거 동작이 필요없으며 리드 동작과 라이트 동작이 가능한 비휘발성 메모리 셀 어레이;

라이트 동작시에 라이트 인에이블 신호에 응답하여 상기 비휘발성 메모리 셀 어레이에 데이터를 라이트하는 데이터 라이트 회로;

리드 동작시에 센스 증폭기 인에이블 신호에 응답하여 상기 비휘발성 메모리 셀 어레이로부터 출력되는 데이터를 리드하는 데이터 리드 회로; 및

라이트 동작시에 상기 제1디코딩 신호가 발생되면 상기 센스 증폭기 인에이블 신호를 활성화하고, 상기 데이터 리드 회로로부터 출력되는 패리티 비트 영역의 데이터를 비교하여 제1비교 검출신호를 발생하고, 상기 제1비교 검출신호에 응답하여 상기 데이터 리드 회로로부터 출력되는 원 타임 프로그래밍 영역의 데이터를 비교하여 제2비교 검출신호를 발생하고, 상기 제1 및 제2비교 검출신호에 응답하여 상기 라이트 인에이블 신호를 발생하는 제어 수단을 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

#### 【청구항 7】

제6항에 있어서, 상기 비휘발성 메모리 셀 어레이는  
상기 원 타임 프로그래밍 영역의 데이터가 리드될 때 상기 패리티 비트 영역의 데이터가  
항상 동시에 출력되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

#### 【청구항 8】

제6항에 있어서, 상기 제어 수단은  
제 1제어신호에 응답하여 인에이블되어 상기 데이터 리드 회로로부터 출력되는 패리티  
비트 영역의 데이터를 비교하여 제1비교 검출신호를 발생하는 제1프로그램 검출 회로;  
제2제어신호에 응답하여 인에이블되어 상기 데이터 리드 회로로부터 출력되는 데이터를  
비교하여 제2비교 검출신호를 발생하는 제2프로그램 검출 회로; 및  
라이트 동작시에 특정 모드 신호가 활성화되면 상기 제1 및 제2제어신호들을 비활성화하  
고, 상기 특정 모드 신호가 비활성화되고, 상기 제1디코딩 신호가 발생되면 상기 제1, 제2제어

신호들, 및 상기 센스 증폭기 인에이블 신호를 활성화하고, 상기 제1 및 제2비교 검출신호들이 활성화되면 상기 라이트 인에이블 신호를 활성화하는 제어부를 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

#### 【청구항 9】

제8항에 있어서, 상기 제어부는  
상기 특정 모드 신호가 비활성화되는 경우에  
상기 제1디코딩 신호가 발생되면 상기 제1제어신호 및 상기 센스 증폭기 인에이블 신호  
를 활성화하고, 상기 제1비교 검출신호가 활성화되면 상기 제2제어신호를 활성화하고, 상기  
제2비교 검출신호가 활성화되면 상기 라이트 인에이블 신호를 활성화하는 것을 특징으로 하는  
비휘발성 반도체 메모리 장치.

#### 【청구항 10】

제8항에 있어서, 상기 제어부는  
리드 동작시에 상기 센스 증폭기 인에이블 신호를 활성화하는 것을 특징으로 하는 비휘  
발성 반도체 메모리 장치.

#### 【청구항 11】

제8항에 있어서, 상기 제1프로그램 검출 회로는  
상기 제1제어신호가 활성화되면 인에이블되어 상기 데이터 리드 회로로부터 출력되는 패  
리티 비트 영역의 데이터가 메모리 설계자에 의해서 저장된 임의의 데이터인지를 비교하여 동  
일하면 상기 제1비교 검출신호를 활성화하고, 상기 제1제어신호가 비활성화되면 디스에이블되  
는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

**【청구항 12】**

제8항에 있어서, 상기 제2프로그램 검출 회로는

상기 제2제어신호가 활성화되면 인에이블되어 상기 데이터 리드 회로로부터 출력되는 상기 원 타임 프로그래밍 영역의 데이터가 메모리 설계자에 의해서 저장된 임의의 데이터인지를 비교하여 동일하면 상기 비교 검출신호를 활성화하고, 상기 제2제어신호가 비활성화되면 디스에이블되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

**【청구항 13】**

제6항에 있어서, 상기 원 타임 프로그래밍 영역은

메모리 설계자에 의해서 임의의 데이터 "0"(또는 "1")으로 모두 프로그램되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

**【청구항 14】**

제6항에 있어서, 상기 패리티 비트 영역은

메모리 설계자에 의해서 임의의 데이터 "0"(또는 "1")로 프로그램되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

**【청구항 15】**

원 타임 프로그래밍 영역과 정상 영역으로 나뉘어지고, 소거 동작이 필요없으며 리드 동작과 라이트 동작이 가능한 비휘발성 메모리 셀 어레이를 구비하는 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법에 있어서,

라이트 동작시에 원 타임 프로그래밍 영역이 역세스되는지를 판단하는 단계;

만일 상기 원 타임 프로그래밍 영역이 억세스되었으면 상기 원 타임 프로그래밍 영역으로부터 리드되는 데이터를 비교하여 비교 검출신호를 발생하는 단계;

상기 비교 검출신호가 활성화되지 않았으면 라이트 동작을 중단하는 단계; 및  
만일 상기 원 타임 프로그래밍 영역이 억세스되지 않았거나, 상기 비교 검출신호가 활성화되었으면 상기 원 타임 프로그래밍 영역에 데이터를 라이트하는 단계를 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법.

#### 【청구항 16】

제15항에 있어서, 상기 원 타임 프로그래밍 영역은  
메모리 설계자에 의해서 데이터 "0"(또는 "1")으로 모두 프로그램되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법.

#### 【청구항 17】

원 타임 프로그래밍 영역 및 패리티 비트 영역과 정상 영역으로 나뉘어지고, 소거 동작이 필요없으며 리드 동작과 라이트 동작이 가능한 비휘발성 메모리 셀 어레이를 구비하는 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법에 있어서,  
라이트 동작시에 원 타임 프로그래밍 영역이 억세스되는지를 판단하는 단계;  
만일 상기 원 타임 프로그래밍 영역 및 패리티 비트 영역이 억세스되었으면 상기 패리티 비트 영역으로부터 리드되는 데이터를 비교하여 제1비교 검출신호를 발생하고, 상기 제1비교 검출신호가 발생되면 상기 원 타임 프로그래밍 영역으로부터 리드되는 데이터를 비교하여 제2비교 검출신호를 발생하는 단계;

상기 제1 또는 제2비교 검출신호가 활성화되지 않았으면 라이트 동작을 중단하는 단계;

및

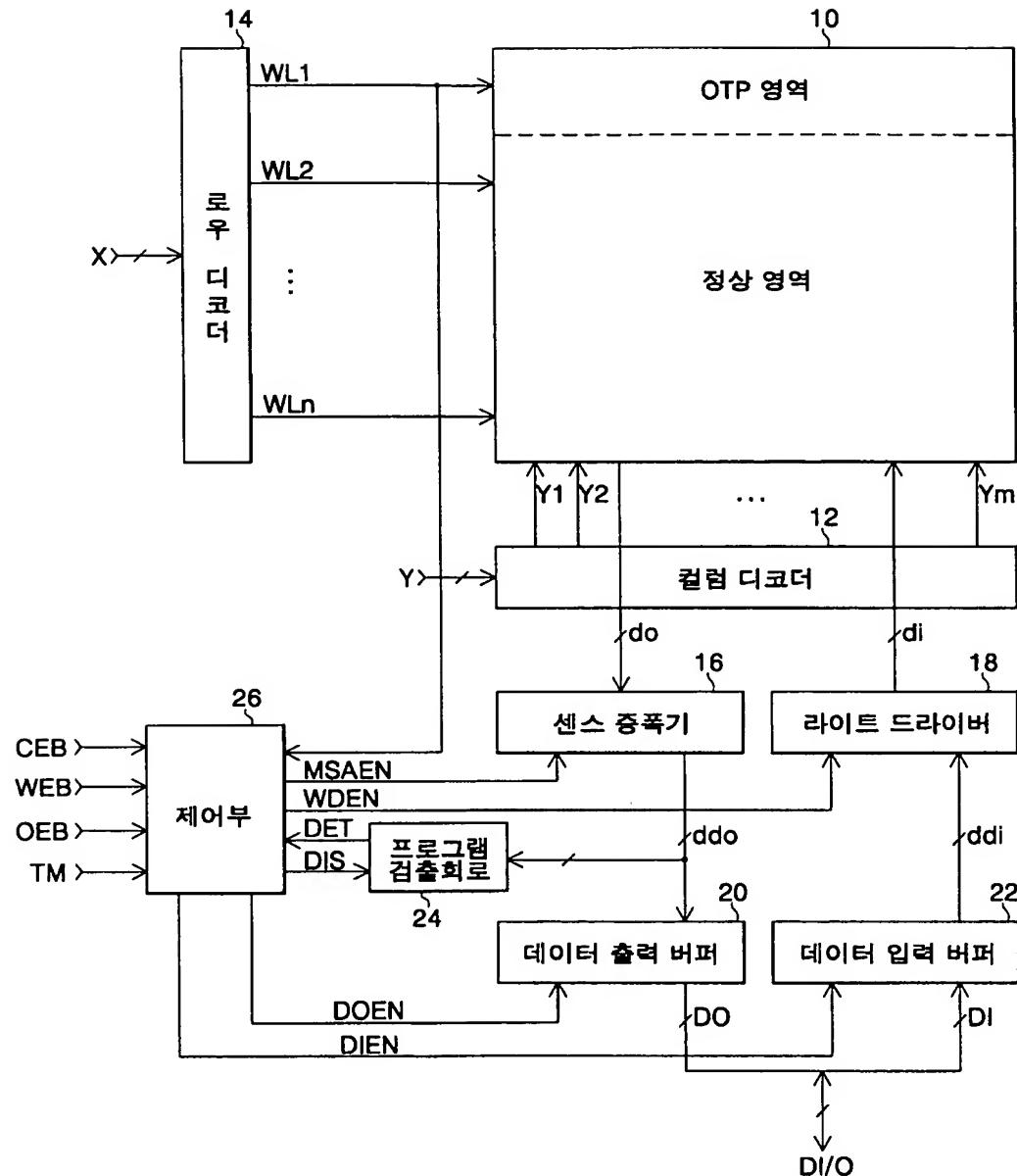
만일 상기 원 타임 프로그래밍 영역 및 패리티 비트 영역이 억세스되지 않았거나, 상기 제2비교 검출신호가 활성화되었으면 상기 원 타임 프로그래밍 영역에 데이터를 라이트하는 단계를 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법.

#### 【청구항 18】

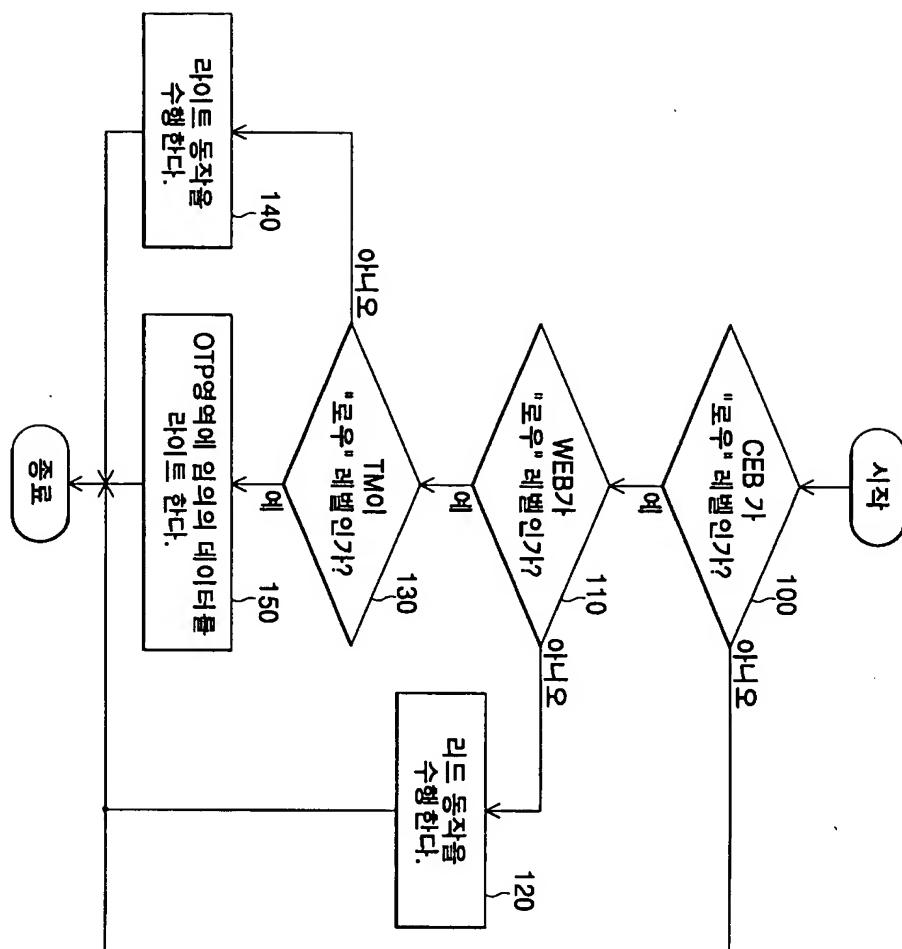
제17항에 있어서, 상기 원 타임 프로그래밍 영역은  
메모리 설계자에 의해서 데이터 "0"(또는 "1")으로 모두 프로그램되는 것을 특징으로 하  
는 비휘발성 반도체 메모리 장치의 원 타임 프로그래밍 제어방법.

## 【도면】

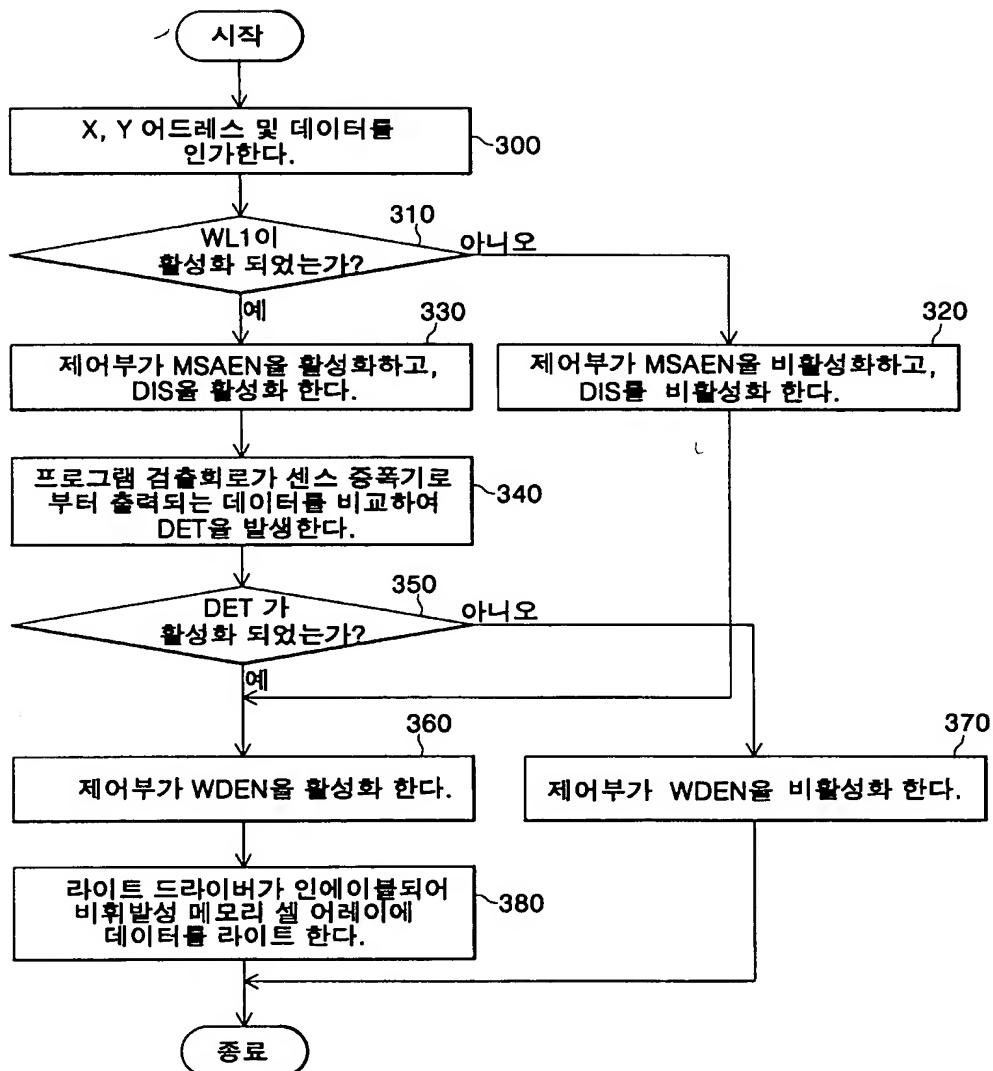
【도 1】



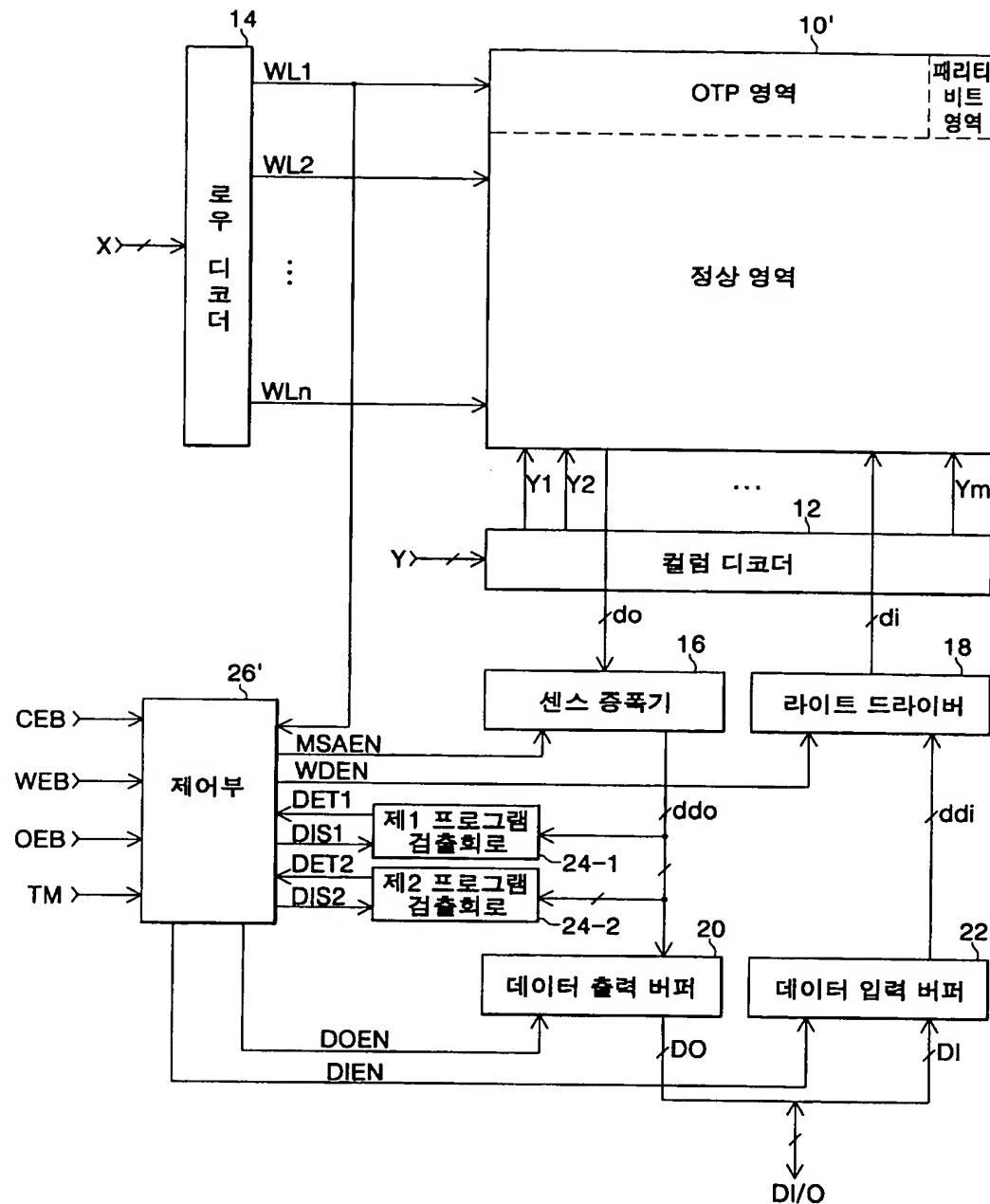
【도 2】



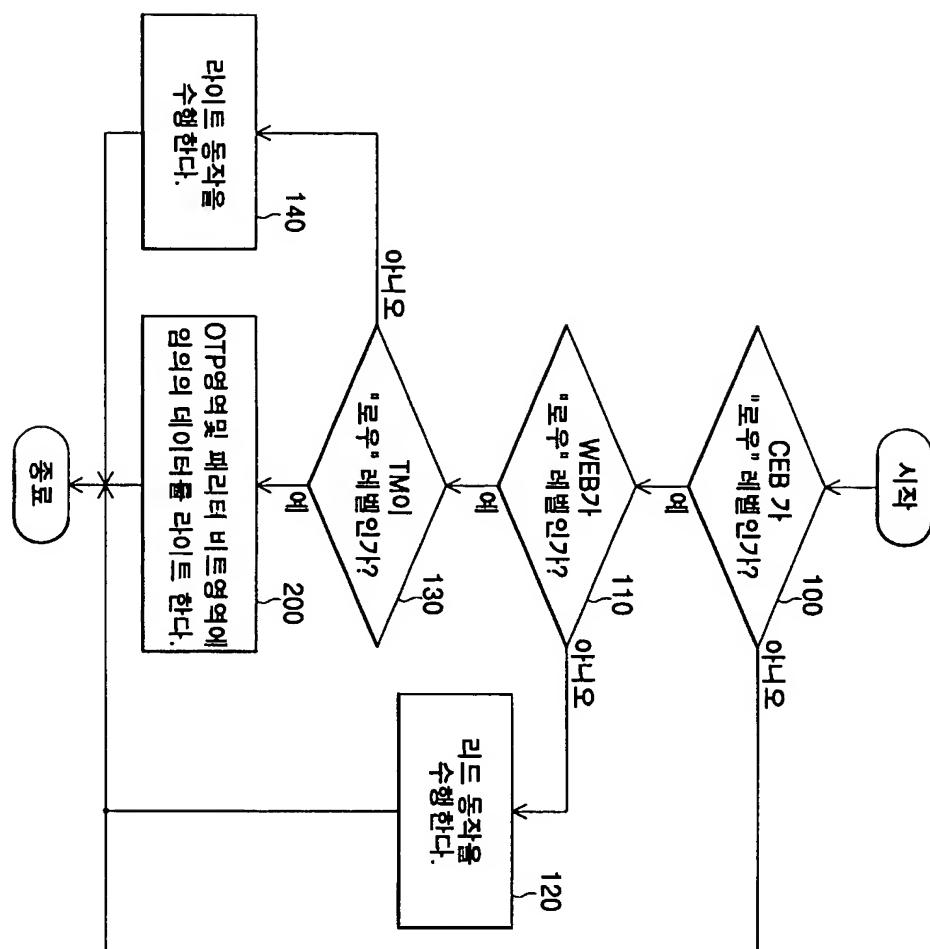
## 【도 3】



【도 4】



【도 5】



## 【도 6】

